

JC474 U.S. PTO

10/045350

11/09/01

대한민국 특허청

KOREAN INDUSTRIAL  
PROPERTY OFFICE

#2  
D Scott  
4-16-02

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 :  
Application Number

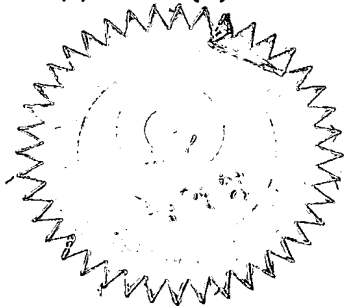
특허출원 2000년 제 69726 호

출원년월일 :  
Date of Application

2000년 11월 22일

출원인 :  
Applicant(s)

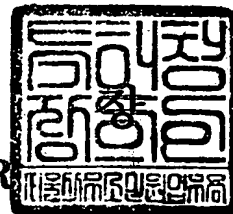
페어차일드코리아반도체 주식회사



2000      12      28  
          년      월      일

특      허      청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.11.22
【발명의 명칭】	반도체 소자 및 그 제조 방법
【발명의 영문명칭】	SEMICONDUCTOR DEVICE AND FABRICATING METHOD THEREOF
【출원인】	
【명칭】	페어차일드코리아반도체 주식회사
【출원인코드】	1-1999-025205-6
【대리인】	
【성명】	이원일
【대리인코드】	9-1998-000473-7
【포괄위임등록번호】	1999-031977-9
【대리인】	
【성명】	김원호
【대리인코드】	9-1998-000023-8
【포괄위임등록번호】	1999-026453-4
【발명자】	
【성명의 국문표기】	이석균
【성명의 영문표기】	LEE, SUK KYUN
【주민등록번호】	690716-1256518
【우편번호】	402-025
【주소】	인천광역시 남구 용현5동 622-14번지 (52/1)
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이원일 (인) 대리인 김원호 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	5 면 5,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	17	항	653,000	원
【합계】	687,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 소자가 허용하는 게이트 전압하에서 소자 작동이 가능하도록 하기 위하여, DMOS 소자의 게이트 전극의 측벽이 포지티브형(positive type)의 경사를 가지도록 패터닝한다. 이렇게 DMOS 소자의 게이트 전극의 측벽을 포지티브형으로 경사지게 형성하면, 후 공정의 CMOS 소자의 게이트 전극을 형성하는 공정에서, DMOS 소자의 게이트 전극 측벽에 측벽 도전 패턴이 잔류하지 않게 된다. 본 발명에 따른 반도체 소자는, 기판의 일부분에 포지티브형으로 경사진 측벽을 가지는 게이트 전극을 포함하는 제1형 DMOS 소자가 형성되어 있고, 기판의 다른 부분에 제1형 MOS 소자가 형성되어 있다. 이 때, DMOS 소자의 게이트 전극의 측벽과 MOS 소자의 게이트 전극의 측벽은 서로 다른 프로파일을 가질 수 있다.

**【대표도】**

도 1

**【색인어】**

DMOS, CMOS, 포지티브형 경사, 문턱 전압

**【명세서】****【발명의 명칭】**

반도체 소자 및 그 제조 방법{SEMICONDUCTOR DEVICE AND FABRICATING METHOD THEREOF}

**【도면의 간단한 설명】**

도 1은 본 발명의 실시예에 따른 반도체 소자의 단면도이고,

도 2a부터 도 2g는 도 1에 보인 반도체 소자의 제조 공정도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로 특히, 바이폴라(bipolar) 트랜지스터, CMOS(Complementary Metal Oxide Semiconductor) 트랜지스터고 및 DMOS(Double diffused Metal Oxide Semiconductor) 트랜지스터가 동일한 기판에 형성되는 BiCDMOS (Bipolar-CMOS-DMOS) 소자와 같은 반도체 소자 및 그 제조 방법에 관한 것이다.
- <4> BiCDMOS 소자의 제조 기술은 바이폴라, CMOS 및 DMOS 기술의 조합이다. 즉, CMOS 기술의 낮은 소비 전력, 작은 노이즈 마진 및 높은 집적 밀도와, 바이폴라 기술의 빠른 스위칭 및 입/출력 속도와, DMOS 기술의 고전압 특성 등이 복합되어 있다. 따라서, 단일 칩에 전력 소자, 논리 소자 등을 집적 가능하게 하여 크기를 줄일 수 있고, 전력 소모가 적으며, 그리고 고내압 및 고전류 구동이 가능하다는 장점이 있다.
- <5> 그러나, BiCDMOS 소자의 제조 기술은 매우 복잡하고, 많은 수의 마스크층이 사용된다.

BiCDMOS 소자의 제조 기술에서, CMOS 소자 및 DMOS 소자의 안정성을 위하여 CMOS 소자의 게이트 전극과 DMOS 소자의 게이트 전극을 서로 다른 제조 공정에 의하여 형성하고 있다. 즉, DMOS 소자의 게이트 전극을 형성한 후, CMOS 소자의 문턱 조절 전압을 위한 채널 이온 주입을 실시한 다음, CMOS 소자의 게이트 전극을 형성한다.

<6> 이로 인하여, CMOS 소자의 게이트 전극을 형성하기 위한 폴리 실리콘층의 식각 공정시, 이 폴리 실리콘층의 일부가 먼저 형성된 DMOS 소자의 게이트 전극의 측벽에 측벽 스페이서로 잔류된다.

<7> DMOS 소자의 게이트 전극의 측벽에 존재하는 측벽 스페이서는 소스 영역과 드레인 영역의 얇은 정션(JUNCTION) 혹은 확산 영역이 요구되는 서브마이크론(submicron) 이하의 반도체 소자에서, DMOS 소자의 소스 영역과 게이트 전극이 유도하는 채널 간에 오픈(open)을 만들어 내어 문턱 전압을 증가시켜 설정된 소자가 허용하는 게이트 전압 하에서는 소자가 작동할 수 없게 되는 문제가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<8> 본 발명은 소자가 허용하는 게이트 전압하에서 소자 작동이 가능한 반도체 소자 및 그 제조 방법을 제공하고자 한다.

#### 【발명의 구성 및 작용】

<9> 본 발명에서는, 이러한 기술적 과제를 해결하기 위하여, DMOS 소자의 게이트 전극의 측벽이 포지티브형(positive type)의 경사를 가지도록 패터닝한다. 이렇게 DMOS 소자의 게이트 전극의 측벽을 포지티브형으로 경사지게 형성하면, 후 공정의 CMOS 소자의 게이트 전극을 형성하는 공정에서, DMOS 소자의 게이트 전극 측벽에 측벽 도전 패턴이

잔류하지 않게 된다.

<10> 상세하게 본 발명에 따른 반도체 소자는, 기판의 일부분에 포지티브형으로 경사진 측벽을 가지는 게이트 전극을 포함하는 제1형 DMOS 소자가 형성되어 있고, 기판의 다른 부분에 제1형 MOS 소자가 형성되어 있다. 이 때, DMOS 소자의 게이트 전극의 측벽과 MOS 소자의 게이트 전극의 측벽은 서로 다른 프로파일을 가질 수 있다.

<11> DMOS 소자는, 기판에 형성되는 제1 도전형 웰, 웰에 형성되는 제2<sup>+</sup>도전형 바디 영역, 바디 영역 내에 형성되는 제1 도전형 소스 영역, 웰에 형성되어 소스 영역에 대응되는 제1 도전형 드레인 영역, 웰과 게이트 전극 사이에 형성되는 게이트 절연막을 포함할 수 있는데, 소스 영역의 일부가 DMOS 소자의 게이트 전극의 측벽 부분에 중첩되는 것이 유리하며, DMOS 소자의 게이트 절연막은 국부적으로 두꺼운 부분 산화막을 포함하는 것이 유리하다.

<12> MOS 소자는, 기판에 형성되는 제1 도전형 웰, 제1 도전형 웰에 형성되는 제2 도전형 소스 영역 및 드레인 영역, 제1 도전형 웰 위에 게이트 절연막을 사이에 두고 형성되는 게이트 전극을 포함한다.

<13> 그리고, MOS 소자와 DMOS 소자를 덮는 보호막, 보호막에 DMOS 소자의 소스 영역 및 드레인 영역을 드러내도록 형성되는 제1 및 제2 접촉 구멍, 보호막에 MOS 소자의 소스 영역 및 드레인 영역을 드러내도록 형성되는 제3 및 제4 접촉 구멍, 제1 및 제2 접촉 구멍을 통하여 DMOS 소자의 소스 및 드레인 영역에 접촉되는 DMOS 소자의 소스 전극 및 드레인 전극, 제3 및 제4 접촉 구멍을 통하여 MOS 소자의 소스 및 드레인 영역에 접촉되는 MOS 소자의 소스 전극 및 드레인 전극을 더 포함할 수 있다.

- <14> 그리고, 기판에 제1형 DMOS 소자에 대응되는 제2형 DMOS 소자가 형성되고, 제1형 MOS 소자에 대응되어 CMOS를 이루는 제2형 MOS 소자가 형성될 수 있다. 이 때, 제2형 DMOS 소자는 포지티브형으로 경사진 측벽을 가지는 게이트 전극을 가지는 것이 유리하며, 제2형 DMOS 소자의 게이트 전극의 측벽과 제2형 MOS 소자의 게이트 전극의 측벽은 서로 다른 프로파일을 가질 수 있다.
- <15> 또한, 본 발명에 따른 반도체 소자는, 기판의 제1 영역에 포지티브형으로 경사진 측벽을 가지는 게이트 전극을 포함하는 DMOS 소자가 형성되고, 기판의 제2 영역에 CMOS 소자가 형성되고, 기판의 제3 영역에 바이폴라 소자가 형성되어 있다.
- <16> 또한, 본 발명에 따른 반도체 소자를 제조하기 위하여, 제1형 DMOS 소자영역과 제1형 MOS 소자영역이 정의되어 있는 기판을 준비한 후, DMOS 소자영역의 기판 위에 포지티브형으로 경사진 측벽을 가지는 게이트 전극을 형성한 다음, MOS 소자영역의 기판 위에 게이트 전극을 형성한다. 이 때, MOS 소자의 게이트 전극을 DMOS 소자의 게이트 전극의 측벽과는 다른 측벽 프로파일을 가지도록 형성할 수 있다.
- <17> 여기서, 기판의 준비는 반도체 기판의 DMOS 소자영역 및 MOS 소자영역 각각에 도전형 제1 매몰층 및 제2 매몰층을 형성한 후, 반도체 기판 전면 상에 에피택셜층을 형성하고, 에피택셜층의 DMOS 소자영역 및 MOS 소자영역 각각에 도전형 제1 웰 및 제2 웰을 형성한 후, 제1 웰 및 제2 웰 사이에 DMOS 소자영역 및 MOS 소자영역을 격리시키는 필드 산화막을 형성하는 과정을 통하여 이루어질 수 있다. 이 때, 필드 산화막은 LOCOS 공정을 진행하여 형성할 수 있으며, 필드 산화막을 형성하면서 제1 웰의 일부에 부분 산화막을 함께 형성하는 것이 바람직하다.
- <18> DMOS 소자의 게이트 전극을 형성한 후, 제1 웰 내에 도전형 바디 영역을 형성하고, MOS



소자의 게이트 전극을 형성한 후, 제1 웰에 위치하는 DMOS 소자의 소스 및 드레인 영역과 제2 웰에 위치하는 MOS 소자의 소스 영역 및 드레인 영역을 형성할 수 있다.

그리고, DMOS 소자의 게이트 전극을 형성한 후, MOS 소자에 채널 이온을 주입할 수 있다.

<19> 이하, 도면을 참조하여 본 발명을 설명한다.

<20> 도 1은 본 발명의 실시예에 따른 반도체 소자를 설명하기 위한 도면으로, n형 DMOS 소자(이하, DNMOS 소자라 함)와 n형 MOS 소자(이하, NMOS 소자라 함)의 단면 구조를 개략적으로 나타낸 것이다. 도면에서 제시되는 반도체 소자의 구조는 본 발명의 실시예에 따른 반도체 소자의 제시된 일 예에 불과하며, 다른 소자와 함께 다양한 구조로 형성될 수 있다.

<21> p형 반도체 기판(100) 위에 DNMOS 소자와 NMOS 소자가 필드 산화막(44, 46)에 의하여 각각의 소자영역으로 분리되어 형성되어 있다. 필드 산화막(44, 46)의 하부에는 DNMOS 소자영역 부분에 n형 필드 영역(32)이 형성되어 있고, NMOS 소자영역 부분에 p형 필드 영역(34, 36)이 형성되어 있다. 필드 영역(32, 34, 36)은 필드 산화막(44, 46)의 하단에 형성되어 채널 스톱퍼(stopper)로 작용한다.

<22> DNMOS 소자영역에서는, p형 반도체 기판(10)의 상부 영역에  $10^{19}/\text{cm}^3$  정도의 이온 농도를 가지는 고농도 n형 매몰층(12)이 형성되어 있고, n형 매몰층(12) 위에는  $10^{16}/\text{cm}^3$  정도의 이온 농도를 가지는 저농도 n형 웰(22)이 형성되어 있다. 저농도 n형 웰(22)은 고농도 n형 매몰층(12) 위에 형성된 n형 에피택셜층(n-epi) 내에 이온을 주입 및 확산시켜 형성하는데, n형 웰(22)이 충분히 크면, n형 에피택셜층(n-epi) 전체가 n형 웰(22)이

될 수 있다.

<23> n형 웰(22)에는  $10^{17}/\text{cm}^3$  정도의 이온 농도를 가지는 p형 바디 영역(62)이 형성되어 있으며, p형 바디 영역(22) 내에는  $10^{19}/\text{cm}^3$  정도의 이온 농도를 가지는 고농도 n형 소스 영역(82S)과 p형 바디(62)의 저항을 줄이기 위하여  $10^{19}/\text{cm}^3$  정도의 이온 농도를 가지는 고농도 p형 저저항 영역(82)이 형성되어 있다. 그리고, n형 웰(22)에는  $10^{19}/\text{cm}^3$  정도의 이온 농도를 가지는 고농도 n형 드레인 영역(82D)이 소스 영역(82S)에 대응되어 형성되어 있다.

<24> 이러한 기판의 상부에는 게이트 산화막(40)이 형성되어 있다. 게이트 산화막(40)은 국부적으로 두꺼운 부분 산화막(42)이 있어서, 비대칭 구조로 가진다. 부분 산화막(42)은 드레인 영역(82D)의 에지 부분에 집중되는 전기장을 완화시켜 고내압 소자로서 동작할 수 있게 한다. 또한, 게이트 산화막(40)은 CMOS 소자와 DMOS 소자 각각의 특성에 맞게 두께를 다르게 할 수 있다.

<25> 부분 산화막(42) 주변의 게이트 산화막(40) 위에는 n형 이온이 도핑된 폴리 실리콘으로 이루어지는 게이트 전극(52)이 형성되어 있다. 이 때, 게이트 전극(52)은 양 측벽이 포지티브형으로 경사진 상태로 되어 있으며, 그 중 p형 바디(82)에 위치하는 측벽 부분이 소스 영역(82S)의 최소한 일부분과는 중첩되어 있다. 따라서, 본 발명의 실시예에 따른 반도체 소자의 DMOS 소자에서는, 소자 온 작동시에 게이트 전극(52)이 채널을 유도할 경우, 이 채널은 소스 영역(82S)과 연결되며, 종래 기술에서 일어나는 소스 영역과 채널 간의 오픈이 일어나지 않는다.

<26> 게이트 전극(52)의 표면에는 산화막으로 이루어진 층간 절연막(59)이 형성되어 있

다.

<27> 그리고, 이들 기판의 전면을 보호막(90)이 덮고 있으며, 보호막(90)에는 소스 영역(82S)과 p형 저저항 영역(82)을 드러내는 제1 접촉 구멍(91) 및 드레인 영역(82D)을 드러내는 제2 접촉 구멍(92)이 형성되어 있다. 그리고, 소스 전극(110S)이 제1 접촉 구멍(91)을 통하여 소스 영역(82S)과 p형 저저항 영역(82)에 접촉되어 있고, 드레인 전극(110D)이 제2 접촉 구멍(92)을 통하여 드레인 영역(82D)에 접촉되어 있다.

<28> 한 편, NMOS 소자영역에서는, p형 반도체 기판(100)의 상부 영역에  $10^{18}/\text{cm}^2$  정도의 이온 농도를 가지는 고농도 p형 매몰층(14)이 형성되어 있고, p형 매몰층(14) 위에는  $10^{16}/\text{cm}^2$  정도의 이온 농도를 가지는 저농도 p형 웰(24)이 형성되어 있다. 여기서 저농도 p형 웰(24)은 NDMOS 소자의 저농도 n형 웰(22)과 같이, n형 에피택셜층 내에 p형 이온을 주입 및 확산시켜 형성하는데, 이 때, p형 이온이 도면에 보인 바와 같이, n형 에피택셜층 전체에 확산될 수 있다.

<29> 그리고, p형 웰(24)에는  $10^{19}/\text{cm}^2$  정도의 이온 농도를 가지는 고농도 n형 소스 영역(84S)과 고농도 n형 드레인 영역(84D)이 형성되어 있다.

<30> 이러한 기판의 상부에는 게이트 산화막(40)이 형성되어 있으며, 게이트 산화막(40) 위에는 n형 이온이 도핑되어 있는 폴리 실리콘으로 이루어진 게이트 전극(74)이 형성되어 있다. 게이트 산화막(40)은 NMOS 소자영역과 NDMOS 소자영역 모두에 일체로 형성될 수 있고, 소자 특성에 따라 각각 형성될 수 있다.

<31> 그리고, 이들 기판의 전면을 보호막(90)이 덮고 있으며, 보호막(90)에는 소스 영역(84S)과 드레인 영역(84D)을 각각 드러내는 제3 접촉 구멍(93) 및 제4 접촉 구멍(94)이

형성되어 있다. 그리고, 소스 전극(111S)이 제3 접촉 구멍(93)을 통하여 소스 영역(84S)과 접촉되어 있고, 드레인 전극(111D)이 제4 접촉 구멍(94)을 통하여 드레인 영역(84D)에 접촉되어 있다.

<32> 이러한 본 발명의 실시예에 따른 반도체 소자에서, DN MOS 소자에서는, 소스 영역(82S)이 게이트 전극(52)과 중첩되어 있어서, 게이트 전극(52)이 유도하는 채널과 연결된다. 따라서, 소스 영역(82S)과 채널 간의 오픈 현상이 발생하지 않으며, 그에 따라 설정된 문턱 전압을 인가하여 소자를 작동하는 것이 가능하다.

<33> 그러면, 이러한 반도체 소자의 제조 방법을 도 2a 내지 도 2e를 참조하여 자세히 설명한다.

<34> 우선, 도 2a에 보인 바와 같이, p형 반도체 기판(100)에서 NDMOS 소자영역에 고농도 n형 매몰층(12)을 형성하고, NMOS 소자영역에 고농도 p형 매몰층(14)을 형성한다.

<35> 이를 위하여, NDMOS 소자영역의 반도체 기판(100)에 n형 이온을  $10^{19}/\text{cm}^2$  정도로 하여 선택적으로 주입한다. 이어, NMOS 소자영역의 반도체 기판(100)에 p형 이온을  $10^{18}/\text{cm}^2$  정도로 하여 선택적으로 주입한다. 이어, 드라이브-인(drive-in) 확산 작업을 진행하여 주입된 이온을 확산시킨다. 이러한 확산 작업이 완료되면, NDMOS 소자영역의 기판(100)에는 n형 매몰층(12)이 형성되고, NMOS 소자영역의 기판(100)에는 p형 매몰층(14)이 형성된다.

<36> 다음, 반도체 기판 즉, n형 매몰층(12)과 p형 매몰층(14) 위에 n형 에피택셜층(n-epi)을 성장시킨다. 이어, NDMOS 소자영역의 n형 에피택셜층(200)에 n형 이온을  $10^{16}/\text{cm}^2$  정도로 하여 선택적으로 주입한다. 이어, NMOS 소자영역의 에피택셜층(200)에 p형 이온을

$10^{16}/\text{cm}^2$  정도로 하여 선택적으로 주입한다. 이어, 드라이브-인 확산 작업을 진행하여 주입된 이온을 확산시킨다.

- <37> 이러한 확산 작업이 완료되면, NDMOS 소자영역의 에피택셜층에는 저농도 n형 웰(22)이 형성되고, NMOS 소자영역의 에피택셜층(200)에는 p형 웰(24)이 형성된다.
- <38> 이와 같이, 저농도 n형 웰(22)과 저농도 p형 웰(24)은 고농도 n형 매몰층(12) 및 고농도 p형 매몰층(14) 위에 형성된 n형 에피택셜층(n-epi) 내에 각각 n형 이온 및 p형 이온을 주입 및 확산시켜 형성한다. 이 때, n형 이온보다 p형 이온의 확산이 빠르게 진행되어 도면에 보인 바와 같이, NDMOS 소자에서는 n형 매몰층(12) 위에 n형 에피택셜층(n-epi)이 접하고, n형 에피택셜층(n-epi) 위에 n형 웰(22)이 접한 상태로 위치하고, NMOS 소자에서는 p형 매몰층(14) 위에 p형 웰(24)이 접한 상태로 위치할 수 있다.
- <39> DNMOS 소자영역에서 n형 웰(22)은 n형 매몰층(12) 상부의 n형 에피택셜층(n-epi)에 접촉되고, NMOS 소자영역에서 p형 웰(24)이 p형 매몰층(12) 상부에 접촉된다. 이 때, 도면에 보인 바와 같이, p형 매몰층(12)이 p형 웰(24) 쪽으로 더 확산될 수 있다.
- <40> 다음, 도 2b에 도시한 바와 같이, 통상의 LOCOS 공정에 의하여 DNMOS 소자영역과 NMOS 소자영역을 분리하는 필드 산화막(44, 46) 및 DNMOS 소자영역의 일부에 위치하는 부분 산화막(42)을 형성한다.
- <41> 이를 위하여, 기판 상부에 얇은 패드 산화막(도면 미표시)을 형성한 후, 패드 산화막 위에 필드 산화막(44, 46) 및 부분 산화막(42)을 제외한 영역을 덮는 질화막 패턴(47)을 형성한다. 이 질화막 패턴(47)은 각 소자의 활성 영역을 한정하며, 이를 이용하여 각 활성 영역들을 분리하는 필드 산화막(44, 46)을 형성하기 위하여 마련되는 것이다.

<42> 이어, n형 웰(22)에 n형 필드 영역(22)을 형성하기 위한 n형 필드 이온을 선택적으로 주입하고, p형 웰(24)에 p형 필드 영역(34, 36)을 형성하기 위한 p형 필드 이온을 선택적으로 주입한다. 이어, 산화 공정을 진행하여 질화막 패턴(47)이 위치하지 않는 기판 부분에 두껍게 산화막을 성장시켜 필드 산화막(44, 46)과 부분 산화막(42)을 형성한다. 이 때, 필드 산화막(44, 46) 및 부분 산화막(42)이 성장되면서, n형 필드 이온과 n형 필드 이온이 확산되어 필드 산화막(44, 46)의 하부에 n형 필드 영역(32)과 p형 필드 영역(34, 36)이 형성된다.

<43> 다음, 도 2c에 도시한 바와 같이, 질화막 패턴(47)과 그 하단에 형성되었던 얇은 패드 산화막(도면 미표시)을 제거한다. 이어, 기판의 노출된 전면에 산화막을 성장시켜 부분 산화막(42)을 포함하는 게이트 산화막(40)을 형성한다. DNMOS 소자영역의 이러한 게이트 산화막(40)은 부분 산화막(42)의 존재로 전체적으로 비대칭적인 두께를 가진다.

<44> 이어, 게이트 산화막(40) 전면에 제1 폴리 실리콘층을 증착한 후, 제1 폴리실리콘층의 저항을 줄여주기 위하여 고농도 n형 이온을 도핑한다. 이어, 제1 폴리실리콘층을 사진 식각을 통하여 건식식각하여 DNMOS 소자의 게이트 전극(52)을 형성한다. 이 때, DNMOS 소자의 게이트 전극(52)의 측벽이 포지티브형으로 경사지게 패터닝될 수 있도록 형성한다. 이는 통상적인 방법과 같이, 제1 폴리실리콘층을 식각하기 위한 식각 조건을 변경하여 이를 수 있는데, 폴리실리콘층을 식각하는 식각 가스의 조성비를 달리하거나, 식각 시간을 조절함으로써 가능하다.

<45> 다음, 도 2d에 도시한 바와 같이, n형 웰(22)에서 p형 바디 영역(62)이 될 부분에 고농도의 p형 이온을  $10^{17}/\text{cm}^2$  정도로 하여 선택적으로 주입한 후, 드라이브-인 확산 작업을 진행하여 주입된 p형 이온을 확산시켜 p형 바디 영역(62)을 형성한다.

- <46> 이어, NMOS 소자의 문턱 전압을 조절하기 위하여, NMOS 소자영역의 p형 웰(24)의 상부에 n형 채널 이온(64)을 주입한다. 이 때, 설정된 문턱 전압의 값에 따라 주입되는 채널 이온의 양과 주입되는 깊이를 조절할 수 있다.
- <47> 다음, 도 2e에 도시한 바와 같이, DNMOS 소자의 게이트 전극(52)의 표면을 산화시켜 층간 절연막(59)을 형성한다.
- <48> 이어, 기판의 전면에 NMOS 소자의 게이트 전극을 형성하기 위한 제2 폴리실리콘층(71)을 증착한 후, 증착된 제2 폴리실리콘층(71)의 저항을 줄여주기 위하여 고농도 n형 이온을 도핑한다.
- <49> 다음, 도 2f에 도시한 바와 같이, 제2 폴리 실리콘층(71)을 사진식각 공정을 통하여 건식식각하여 NMOS 소자의 게이트 전극(74)을 형성한다. 이 때, DNMOS 소자의 게이트 전극(52)의 측벽이 포지티브형으로 경사져 있기 때문에 제2 폴리 실리콘층(74)을 건식식각하여도, DNMOS 소자의 게이트 전극(52)의 측벽에 제2 폴리 실리콘층(74)이 잔류되는 경우는 발생하지 않는다.
- <50> 즉, 도 2e에 도시한 바와 같이, DNMOS 소자의 게이트 전극(52)의 측벽이 포지티브형으로 경사되어 있어서, 그 상부에 증착되는 제2 폴리 실리콘층(71)은 전면이 균일한 두께를 가지게 된다. 이러한 제2 폴리 실리콘층을 건식식각할 경우, 식각되는 부분은 모두 균일한 두께로 식각되기 때문에 DNMOS 소자의 게이트 전극(52)의 측벽에 잔류되지 않게 되는 것이다.
- <51> 다음, 도 2g에 도시한 바와 같이, DNMOS 소자의 소스 영역(82S) 및 드레인 영역(82D)이 될 부분과 NMOS 소자의 소스 영역(84S) 및 드레인 영역(84D)이 될 부분에 n형 이온을 선

택적으로 주입한다.

<52> 이 때, DN MOS 소자의 게이트 전극(52)의 측벽이 셀프 얼라인으로 이온 주입 마스크가 되어 소스 영역(82S)이 될 부분에 이온이 주입된다. 따라서, 후속 공정에서 드라이브 인 확산 작업을 진행하여 형성된 소스 영역(84S)은 게이트 전극(52)과 중첩된다. 또한, NMOS 소자의 게이트 전극(74)도 셀프 얼라인으로 이온 주입 마스크가 되어 소스 영역(84S)과 드레인 영역(84D)이 될 부분에 이온이 주입된다.

<53> 이어, DN MOS 소자의 p형 저저항 영역(86)이 될 부분에 p형 이온을  $10^{16}/\text{cm}^2$  정도로 하여 선택적으로 주입한다.

<54> 이어, 드라이브 인 확산 작업을 진행하여 기판에 주입된 n형 이온과 p형 이온을 확산시켜 DN MOS 소자의 소스 영역(82S)과 드레인 영역(82D) 및 NMOS 소자의 소스 영역(84S)과 드레인 영역(84D)을 형성한다. 그리고, DN MOS 소자의 p형 저저항 영역(86)도 p형 바디(62)내에 함께 형성한다.

<55> 다음, 다시, 도 1에 보인 바와 같이, 기판 전면에 일정 두께의 HTO(High Temperature Oxide)막(90)을 형성한 후, 이 HTO막을 사진식각공정을 통하여 건식식각하여 DN MOS 소자의 소스 영역(82S) 및 p형 저저항 영역(86)을 드러내는 제1 접촉 구멍(91), DN MOS 소자의 드레인 영역(82D)을 드러내는 제2 접촉 구멍(92) 및 NMOS 소자의 소스 영역(84S) 및 드레인 영역(84D)을 드러내는 제3 및 제4 접촉 구멍(93, 94)을 형성한다.

<56> 이어, 기판 전면에 도전층을 증착하고, 사진식각하여 제1 접촉 구멍(91)을 통하여 DN MOS 소자의 소스 영역(82S) 및 p형 바디(86)에 접촉되는 DN MOS 소자의 소스 전극(110S), 제2 접촉 구멍(92)을 통하여 DN MOS 소자의 드레인 영역(82D)에 접촉되는 DN MOS 소자의 드레



인 전극(110D) 및 제3 및 제4 접촉 구멍(93, 94)을 통하여 NMOS 소자의 소스 영역(84S) 및 드레인 영역(84D)에 각각 접촉되는 NMOS 소자의 소스 전극(111S) 및 드레인 전극(111D)을 형성한다.

<57> 이상과 같이, 본 발명에서는 DMOS 소자의 게이트 전극을 그 측벽이 포지티브형(positive type)의 경사를 가지도록 패터닝함으로써, CMOS 소자의 게이트 전극을 형성하기 위한 도전층이 DMOS 소자의 게이트 전극 측벽에 잔류하지 않게 한다.

<58> 제시된 본 발명의 실시예에서는 기판에 DN MOS 소자와 NMOS 소자가 형성된 구조에 대해서만 설명하였지만, 이는 일 실시예에 불과하다. 상술된 본 발명의 실시예는 p형 DMOS 소자와 p형 MOS 소자에도 동일하게 적용할 수 있다.

<59> 또한, 본 발명은 하나의 기판에 DMOS 소자와 CMOS 소자를 함께 형성하는 모든 형태의 반도체 소자 특히, 하나의 기판에 DMOS 소자, CMOS 소자 및 바이폴라 소자를 함께 형성하는 BiCD MOS 소자에 동일하게 적용할 수 있다.

#### 【발명의 효과】

<60> 본 발명에 따른 반도체 소자에서는, DMOS 소자에서의 소스 영역과 채널 간의 오픈이 일어나지 않아서 문턱 전압을 상승시키지 않아도 되기 때문에 소자가 허용하는 게이트 전압하에서 소자 작동이 가능하다.

**【특허청구범위】****【청구항 1】**

기판,

상기 기판의 일부분에 형성되고, 포지티브형으로 경사진 측벽을 가지는 게이트 전극을 포함하는 제1형 DMOS 소자,

상기 기판의 다른 부분에 형성되는 제1형 MOS 소자를 포함하는 반도체 소자.

**【청구항 2】**

제1항에서,

상기 DMOS 소자의 게이트 전극의 측벽과 상기 MOS 소자의 게이트 전극의 측벽은 서로 다른 프로파일을 가지는 반도체 소자.

**【청구항 3】**

제1항에서, 상기 DMOS 소자는,

상기 기판에 형성되는 제1 도전형 웰,

상기 웰에 형성되는 제2 도전형 바디 영역,

상기 바디 영역 내에 형성되는 제1 도전형 소스 영역,

상기 웰에 형성되어 상기 소스 영역에 대응되는 제1 도전형 드레인 영역,

상기 웰과 상기 게이트 전극 사이에 형성되는 게이트 절연막을 포함하는 반도체 소자.

**【청구항 4】**

제3항에서,

상기 소스 영역의 일부는 상기 DMOS 소자의 게이트 전극의 측벽 부분에 중첩되는 반도체 소자.

**【청구항 5】**

제1항에서, 상기 MOS 소자는,

상기 기판에 형성되는 제1 도전형 웰,

상기 제1 도전형 웰에 형성되는 제2 도전형 소스 영역 및 드레인 영역,

상기 제1 도전형 웰 위에 게이트 절연막을 사이에 두고 형성되는 게이트 전극을 포함하는 반도체 소자.

**【청구항 6】**

제1항에서,

상기 DN MOS 소자의 게이트 절연막은 국부적으로 두꺼운 부분 산화막을 포함하는 반도체 소자.

**【청구항 7】**

제5항에서,

상기 MOS 소자와 상기 DMOS 소자를 덮는 보호막,

상기 보호막에 상기 DMOS 소자의 소스 영역 및 드레인 영역을 드러내도록 형성되는 제1 및 제2 접촉 구멍,

상기 보호막에 상기 MOS 소자의 소스 영역 및 드레인 영역을 드러내도록 형성되는 제3 및 제4 접촉 구멍,

상기 제1 및 제2 접촉 구멍을 통하여 상기 DMOS 소자의 상기 소스 및 드레인 영역에 접촉되는 DMOS 소자의 소스 전극 및 드레인 전극,

상기 제3 및 제4 접촉 구멍을 통하여 상기 MOS 소자의 상기 소스 및 드레인 영역에 접촉되는 MOS 소자의 소스 전극 및 드레인 전극을 더 포함하는 반도체 소자.

**【청구항 8】**

상기 기판에 형성되고, 상기 제1형 DMOS 소자에 대응되는 제2형 DMOS 소자,

상기 기판에 형성되고, 상기 제1형 MOS 소자에 대응되어 CMOS를 이루는 제2형 MOS 소자를 더 포함하는 반도체 소자.

**【청구항 9】**

제8항에서,

상기 제2형 DMOS 소자는 포지티브형으로 경사진 측벽을 가지는 게이트 전극을 가지는 반도체 소자.

**【청구항 10】**

기판,

상기 기판의 제1 영역에 형성되고, 포지티브형으로 경사진 측벽을 가지는 게이트 전극을 포함하는 DMOS 소자,

상기 기판의 제2 영역에 형성되는 CMOS 소자,

상기 기판의 제3 영역에 형성되는 바이폴라 소자를 포함하는 반도체 소자.

**【청구항 11】**

제1형 DMOS 소자영역과 제1형 MOS 소자영역이 정의되어 있는 기판을 준비하는 단계,  
상기 DMOS 소자영역의 기판 위에 포지티브형으로 경사진 측벽을 가지는 게이트 전극을 형성하는 단계,

상기 MOS 소자영역의 기판 위에 게이트 전극을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

**【청구항 12】**

제11항에서,

상기 MOS 소자의 게이트 전극을 상기 DMOS 소자의 게이트 전극의 측벽과는 다른 측벽 프로파일을 가지도록 형성하는 반도체 소자의 제조 방법.

**【청구항 13】**

제11항에서, 상기 기판을 준비하는 단계는,

반도체 기판의 DMOS 소자영역 및 MOS 소자영역 각각에 도전형 제1 매몰층 및 제2 매몰층을 형성하는 단계,

상기 반도체 기판 전면 상에 에피택셜층을 형성하는 단계,

상기 에피택셜층의 DMOS 소자영역 및 MOS 소자영역 각각에 도전형 제1 웰 및 제2 웰을 형성하는 단계,

상기 제1 웰 및 상기 제2 웰 사이에 DMOS 소자영역 및 MOS 소자영역을 격리시키는 필드 산화막을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

**【청구항 14】**

제13항에서,

필드 산화막은 LOCOS 공정을 진행하여 형성하는 반도체 소자의 제조 방법.

**【청구항 15】**

제13항에서,

상기 필드 산화막을 형성하면서 상기 제1 웰의 일부에 부분 산화막을 함께 형성하는 반도체 소자의 제조 방법.

**【청구항 16】**

제13항에서,

상기 DMOS 소자의 게이트 전극을 형성한 후, 상기 제1 웰 내에 도전형 바디 영역을 형성하고,

상기 MOS 소자의 게이트 전극을 형성한 후, 상기 제1 웰에 위치하는 DMOS 소자의 소스 및 드레인 영역과 상기 제2 웰에 위치하는 MOS 소자의 소스 영역 및 드레인 영역을 형성하는 반도체 소자의 제조 방법.

**【청구항 17】**

제11항에서,

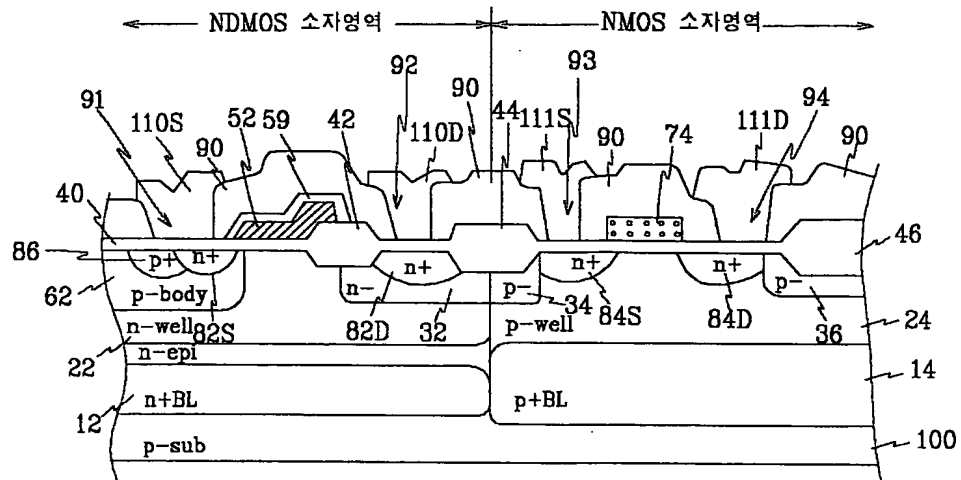
상기 DMOS 소자의 게이트 전극을 형성한 후, 상기 MOS 소자에 채널 이온을 주입하는 단계를 더 포함하는 반도체 소자의 제조 방법.

1020000069726

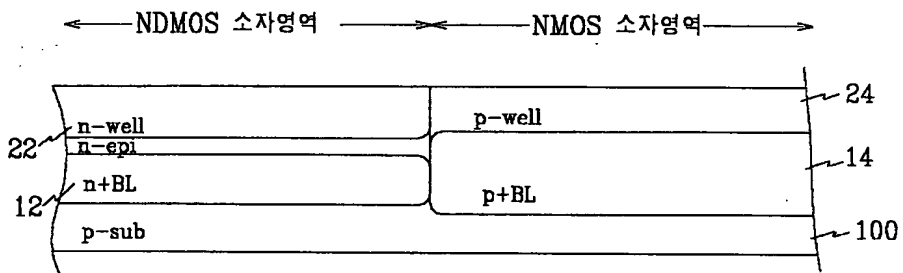
2000/12/2

【도면】

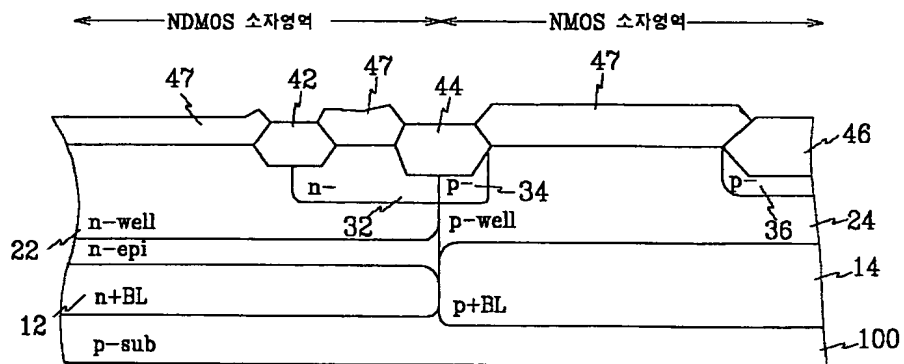
【도 1】



【도 2a】

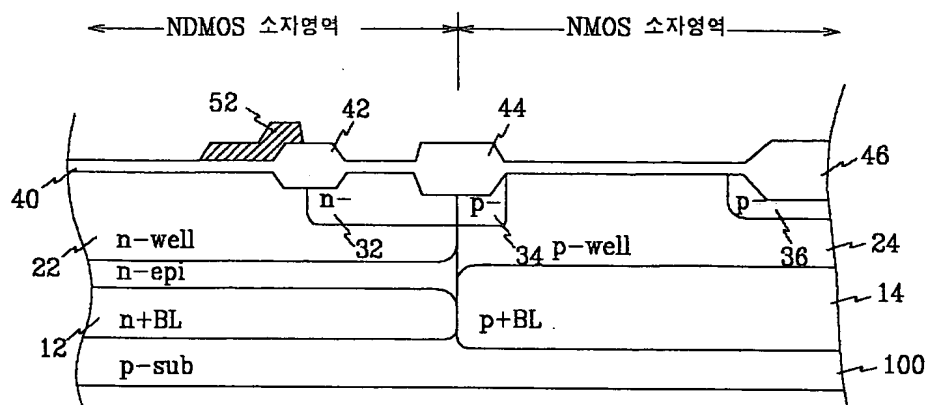


【도 2b】

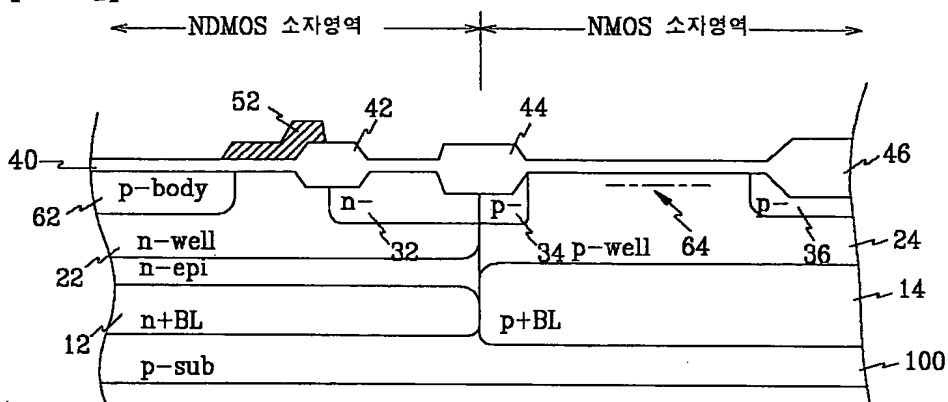




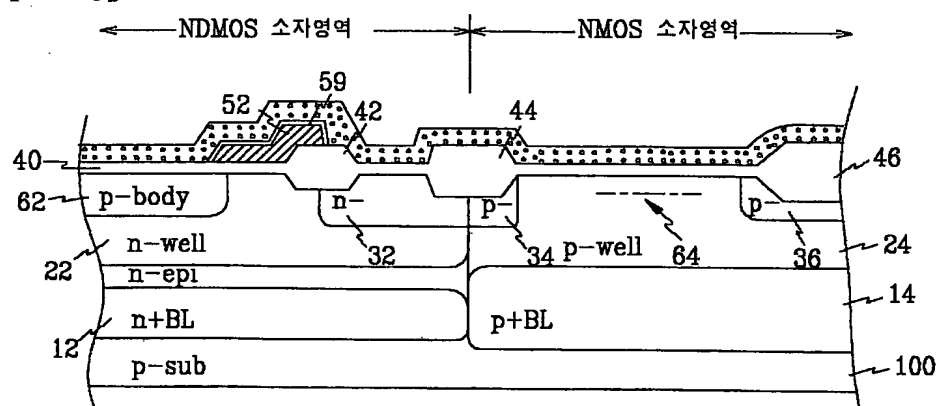
【도 2c】



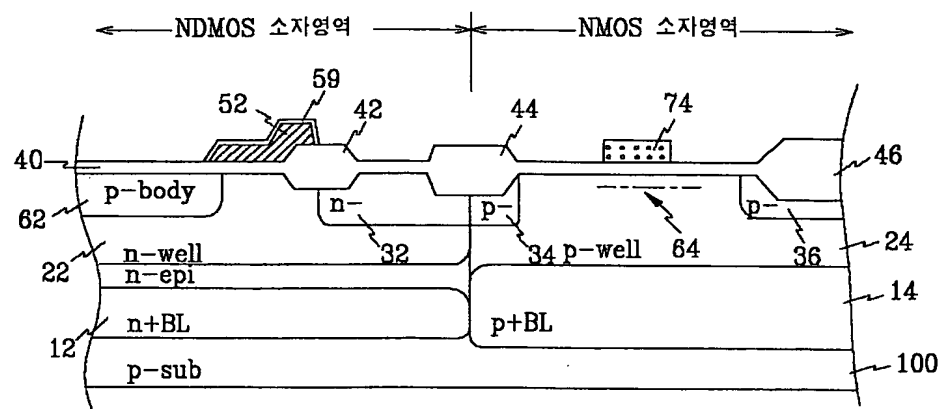
【도 2d】



【도 2e】



【도 2f】



【도 2g】

